

DERWENT-ACC-NO: 2000-122417
DERWENT-WEEK: 200132
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Wiring structure of semiconductor memory - has
signal wiring of large
width adjoining selection lines and distributed in
periphery of memory array

INVENTOR: KAWASAKI, S

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ],
MITSUBISHI DENKI KK[MITQ]

PRIORITY-DATA: 1998JP-0162478 (June 10, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
US 6240006 B1	May 29, 2001	N/A
000	G11C 007/00	
JP 11354745 A	December 24, 1999	N/A
019	H01L 027/108	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
US 6240006B1	N/A	1999US-0250170
February 16, 1999		
JP 11354745A	N/A	1998JP-0162478
June 10, 1998		

INT-CL (IPC): G11C007/00; G11C011/401 ; G11C011/41 ;
H01L021/8242 ;
H01L027/108

ABSTRACTED-PUB-NO. JP 11354745A

BASIC-ABSTRACT: NOVELTY - Selection lines which select
memory cell from an
array, have a width attachment area (15) which extends in
the direction of
other selection lines. Width of signal wiring (27)
adjoining the selection
lines and distributed in the exterior of memory array, is
made large.

USE - In semiconductor memory.

ADVANTAGE - The width of wiring is thick but the area of array is not increased and hence speed of signal transmission is increased.

DESCRIPTION OF DRAWING(S)

- The figure shows the distribution of main word line in memory array. (15)

Width attachment area; (27) Signal wiring.

ABSTRACTED-PUB-NO: US 6240006B

EQUIVALENT-ABSTRACTS: NOVELTY - Selection lines which select memory cell from an array, have a width attachment area (15) which extends in the direction of other selection lines. Width of signal wiring (27) adjoining the selection lines and distributed in the exterior of memory array, is made large.

USE - In semiconductor memory.

ADVANTAGE - The width of wiring is thick but the area of array is not increased and hence speed of signal transmission is increased.

DESCRIPTION OF DRAWING(S)

- The figure shows the distribution of main word line in memory array. (15)

Width attachment area; (27) Signal wiring.

CHOSEN-DRAWING: Dwg.3/22

TITLE-TERMS:

WIRE STRUCTURE SEMICONDUCTOR MEMORY SIGNAL WIRE WIDTH
ADJOIN SELECT LINE
DISTRIBUTE PERIPHERAL MEMORY ARRAY

DERWENT-CLASS: U14

EPI-CODES: U14-A08A; U14-C01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-093406

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354745

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 A

21/8242

G 1 1 C 11/34

3 4 5

G 1 1 C 11/41

3 7 1 K

11/401

審査請求 未請求 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願平10-162478

(71) 出願人 000006013

三菱電機株式会社

(22) 出願日 平成10年(1998)6月10日

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川崎 賢

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

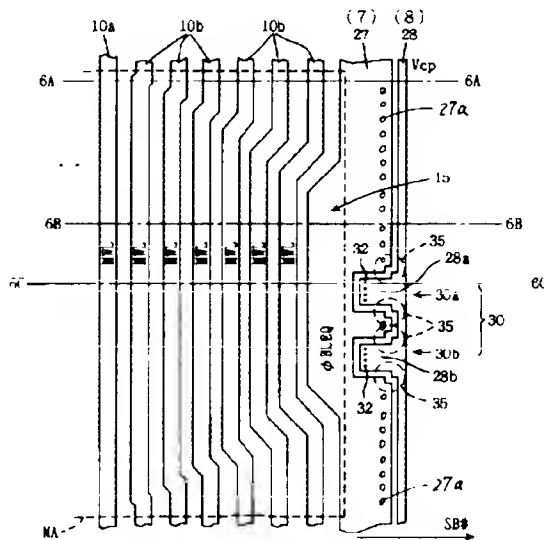
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 アレイ占有面積を増加させることなく信号
電圧配線の線幅を太くして抵抗を小さくする

【解決手段】 メモリアレイ(MA)においてメインワ
ード線(10a、10b)を幅寄せして幅寄せ領域(1
5)による空き領域を形成し、この領域において所望の
信号電圧を伝達する導電配線(27)の幅を広くす
る。



1

【特許請求の範囲】

【請求項1】 行列状に配列される複数のメモリセルを有するメモリアレイ、および前記メモリアレイ上にわたって行方向に沿って延在して配置され、各々が前記メモリアレイのメモリセル行を選択するための信号を伝達する複数の行選択線を備え、前記複数の行選択線は、各々が前記行方向に延在する第1の部分と前記列の方向にずらされて配置されかつ前記第1の部分に接続する第2の部分とを含む幅寄せ構造を有する複数の行選択線を含み、

前記複数の行選択線と同一層の配線で形成され、かつ前記行方向に延在して配置され、かつ前記幅寄せ構造の行選択線に隣接してメモリセル行選択に関連する信号または電圧を伝達する信号配線をさらに備え、前記信号配線は、前記幅寄せ構造の行選択線の第2の部分に隣接する領域において前記列方向についての幅が広くされる、半導体記憶装置。

【請求項2】 前記信号配線は、前記メモリアレイの外部に行方向に沿って延在して配置され、かつ前記幅が広くされる部分が前記メモリアレイ上に配置される、請求項1記載の半導体記憶装置。

【請求項3】 各前記メモリセルは、情報を記憶するストレージノードと、前記ストレージノードと対向し、所定の電圧を受けるセルフプレートノードとを有するキャパシタを含み、さらに

前記信号配線に関して前記行選択線と対向し、かつ前記行方向に延在して配置され、前記所定電圧を伝達するセルフプレート線をさらに備える、請求項1または2記載の半導体記憶装置。

【請求項4】 前記信号配線は、前記幅が広くされた部分において前記メモリアレイに向かう方向に後退する後退領域を有し、

前記セルフプレート線は、前記後退領域に形成される突出部分を含む、請求項3記載の半導体記憶装置。

【請求項5】 前記突出領域が前記メモリアレイに近接する部分において、前記セルフプレートノードとの電気的接続のためのコンタクト孔が形成される、請求項4記載の半導体記憶装置。

【請求項6】 前記突出部分は、段階的に幅が広くされる、請求項4記載の半導体記憶装置。

【請求項7】 各前記列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線、および前記信号配線上に伝達される信号にตอบสนองして活性化され、前記複数のビット線を所定のプリチャージ電圧レベルに設定するビット線電圧設定回路をさらに備える、請求項1から6のいずれかに記載の半導体記憶装置。

【請求項8】 各前記行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線をさらに備え、前記複数のワード線の各々は、対応の行選択線と前記アレイ外部で電気的に接続される、請求項1記載の

2

半導体記憶装置

【請求項9】 各前記行各々に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線と

前記メモリアレイ外部に前記複数のサブワード線各々に対応して配置され、対応のサブワード線がアドレス指定された行に対応して配置されるとき、少なくとも対応の行選択線上の信号にตอบสนองして対応のサブワード線を選択状態へ駆動する複数のサブワード線ドライバをさらに備える、請求項1記載の半導体記憶装置。

【請求項10】 行列状に配列される複数のメモリセルを有するメモリアレイ、および前記列の方向に延在して前記メモリアレイ上にわたって配置され、各々が列選択信号を伝達する複数の列選択線を備え、前記複数の列選択線は、前記メモリアレイ上においてその位置が行方向にずらされた幅寄せ部分を有する幅寄せ構造の複数の列選択線を含み、さらに前記幅寄せ構造の列選択線に隣接して列方向に延在して配置されかつ前記幅寄せ部分において行方向の幅が広くされ、かつ所定の電圧を伝達する電圧伝達線を備える、半導体記憶装置。

【請求項11】 各前記列に対応して配置され、各々が、活性化時対応の列上のデータの検知および増幅を行なう複数のセンスアンプをさらに備え、

前記電圧伝達線は、各前記センスアンプへの動作電源電圧を伝達する、請求項10記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、メモリアレイ面積を増加させることなくメモリアレイ上に配置される配線の抵抗を低下させるための配線構造に関する。より具体的には、この発明は、メモリセル選択信号を伝達する配線と同一層に形成される配線の低抵抗化のための配線構造に関する。

【0002】

【従来の技術】図17は、従来の半導体記憶装置の全体の構成を概略的に示す図である。図17において、行列状に配列される複数のメモリセルMCを有するメモリアレイ1が、行方向に沿って複数のメモリブロックMB#0～MB#nに分割される。メモリブロックMB#0～MB#nそれぞれにおいて、メモリセルMCの各行に対応して配置され、各々に対応の行のメモリセルMCが接続される複数のサブワード線SWLと、メモリセルの各列に対応して配置され、各々に対応のメモリセルが接続するビット線BLPが設けられる。図17においては、メモリブロックMB#0～MB#nそれぞれにおいて、1つのサブワード線SWLと1つのビット線対BLPと、これらのサブワード線SWLとビット線対BLPの交差部に対応して配置されるメモリセルMCを代表的に示す。

【0003】メモリブロックMB#0～MB#nに共通

に、行方向に延在するメインワード線MWLが配置される。このメインワード線MWLは、メモリブロックMB#0～MB#n各々のサブワード線w1または複数の所定数のサブワード線に対応して配置される。サブワード線SWLそれぞれに対応して、サブワード線ドライバSWDが配置される。サブワード線ドライバSWDの各々は、対応のメインワード線MWL上の信号電位に少なくとも従って、対応のサブワード線SWLを選択状態へ駆動する。メインワード線MWLが、メモリブロックMB#0～MB#nのそれぞれの各行に対応して配置される場合には、サブワード線ドライバSWDは、この対応のメインワード線MWL上の信号電位に従って対応のサブワード線SWLを選択状態へ駆動する。メインワード線MWLが、このメモリブロックにおける複数行のメモリセルに対応して設けられる場合、サブワード線ドライバSWDは、対応のメインワード線MWL上の信号電位と、さらにロウアドレスデコード信号とに従って対応のサブワード線SWLを選択状態へ駆動する（この構成については後に説明する）。

【0004】半導体記憶装置は、さらに、図示しないアドレス信号に従ってアドレス指定された行に対応して配置されるメインワード線MWLを選択状態へ駆動する行選択駆動回路2と、スタンバイ状態時、ビット線対BLLPを所定電圧に設定するビット線イコライズ回路3と、ビット線対BLLPそれぞれに対応して設けられるセンスアンプを含む、活性化時対応のビット線対BLLPの電位を差動増幅するセンスアンプ回路1と、図示しない列アドレス信号に従って、アドレス指定された列に対応して配置されるビット線対を選択する列選択回路5を含む。スタンバイ状態においては、メインワード線MWLは非選択状態にあり、またメモリブロックMB#0～MB#nそれぞれにおいてサブワード線SWLも、非選択状態にある。ビット線対BLLPは、ビット線イコライズ回路3により、所定電圧（電源電圧V_{cc}と接地電圧V_{ss}の中間の電圧）レベルに設定される（プリチャージされかつイコライズされる）。

【0005】メモリセル選択サイクル（アクティブサイクル）が始まると、まず行選択駆動回路2が、アドレス指定された行に対応するメインワード線MWLを選択状態へ駆動する。サブワード線ドライバSWDが、対応のサブワード線SWLを、このアドレス指定された行に対応するとき、少なくともメインワード線MWL上の信号電位に従って対応のサブワード線SWLを選択状態へ駆動する。メモリブロックMB#0～MB#nそれぞれにおいてアドレス指定された行に対応して配置されるサブワード線SWLが選択状態へ駆動される。これにより、メモリセルMCの記憶データがビット線対BLLP上に伝達される。

【0006】次に、センスアンプ回路1が活性化され、ビット線対BLLP上に読出されたメモリセルMCのデー

タが検知され、増幅されかつラッチされる。この後、列選択回路5により選択された列に対応するビット線対BLLPに対し、データの書込または読出が行なわれる。

【0007】メモリセル行に対応して配置されるワード線は、複数のメモリブロックMB#0～MB#nに共通に配設されるメインワード線MWLと、メモリブロックMB#0～MB#nそれぞれにおいてメモリセルMCが接続されるサブワード線SWLの階層構造を有する。メインワード線MWLにはメモリセルMCは接続されないため、高速で、行選択駆動回路2からの行選択駆動信号をこのメインワード線MWLの終端にまで伝達させることができる。サブワード線SWLに接続されるメモリセルMCの数は少なく、またその寄生容量も小さくなる。したがって、このワード線をメインワード線およびサブワード線の階層構造とすることにより、半導体記憶装置の記憶容量が増大し、1行のメモリセルの数が増加する場合においても、高速でメモリセル行を選択状態へ駆動することができる。

【0008】図18は、図17に示すサブワード線ドライバSWDの構成の一例を示す図である。図18においては、メモリブロックMB#1（i=0～n）に対して設けられるサブワード線ドライバを示す。メモリブロックMB#1の1行のメモリセルに対応して配置されるサブワード線SWLa～SWLdに対応して1つのメインワード線MWLが配置される。サブワード線SWLa～SWLdそれぞれに対応してサブワード線ドライバSWDa～SWDdが配置される。

【0009】サブワード線ドライバSWDa～SWDdは、それぞれメインワード線MWL上の信号電位が選択状態のレベルを示すときに能動化され、それぞれロウデコード信号Ra～Rdに従って対応のサブワード線SWLa～SWLdを選択状態へ駆動する。ロウデコード信号Ra～Rdは、1つが選択状態へ駆動され、サブワード線SWLa～SWLdの1つを指定する。

【0010】この図18に示す配置の場合、4行のメモリセルに対応して1つのメインワード線MWLを配置することができる。メインワード線MWLのヒッチ条件を緩和することができる。余裕を持ってメインワード線MWLを配置することができる。

【0011】なお、この図18に示す構成において、サブワード線ドライバSWDa～SWDdとして、メインワード線MWL上の信号電位にตอบสนองして能動化され、それぞれ、ロウデコード信号Ra～Rdを対応のサブワード線SWLa～SWLdへ伝達するデコードの構成が用いられてもよい。

【0012】図19（A）は、図17に示す半導体記憶装置の1つのメモリブロックの構成を概略的に示す図である。図19（A）においては、2列に配列されるメモリセルMCに関連する部分の構成を示す。

5

【0013】図19(A)において、メモリブロックMB₀は、行列状に配列される複数のメモリセルMC₀と、メモリセルMC₀の各行に対応して配置され、各々に対応の行のメモリセルMC₀が接続されるサブワード線SWL₀、SWL₁、…と、メモリセル列それぞれに対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対BLP₀、BLP₁、…を含む。ビット線対BLP₀は、ビット線BLE₀およびBL₀を有し、ビット線対BLP₁は、ビット線BLE₁およびBL₁を含む。ビット線対BLP₀、BLP₁とサブワード線SWL₀、SWL₁、…との交差部に対応してメモリセルMC₀が配置される。図19(A)においては、サブワード線SWL₀とビット線BLE₀およびBLE₁のそれぞれの交差部に対応して配置されるメモリセルMC₀と、サブワード線SWL₁とビット線BLE₀およびBLE₁それぞれとの交差部に対応して配置されるメモリセルMC₀を示す。

【0014】メモリセルMC₀は、情報を記憶するメモリキャパシタMCQと、対応のサブワード線SWL₀(SWL₁またはSWL₂)上の信号電位にตอบสนองして導通し、メモリキャパシタMCQを対応のビット線BLE₀、BLE₁またはBLE₂(BLE₀、BLE₁、BLE₂)に接続するアクセストランジスタMTを含む。

【0015】メモリキャパシタMTは、アクセストランジスタMTに接続されるストレージノードSNに記憶データに応じた電荷を蓄積し、その他方電極に一定のセルプレート電圧V_{pl}を受ける。

【0016】ビット線イコライズ回路3は、ビット線対BLE₀、BLE₁それぞれに対応して設けられるビット線イコライズ・プリチャージ回路3₀、3₁を含む。ビット線イコライズ・プリチャージ回路3₀、3₁の各々は、同じ構成を有し、図19において、ビット線対BLE₀に対して設けられビット線イコライズ・プリチャージ回路3₀の具体的な構成を代表的に示す。ビット線イコライズ・プリチャージ回路3₀は、ビット線イコライズ指示信号BLEQにตอบสนองして導通し、ビット線BLE₀およびBLE₁を電気的に短絡するnチャネルMOSトランジスタQ1と、ビット線イコライズ指示信号BLEQの活性化にตอบสนองして導通し所定のプリチャージ電圧V_{bi}をビット線BLE₀およびBLE₁上に伝達するnチャネルMOSトランジスタQ2およびQ3を含む。

【0017】センスアンフ回路4は、ビット線対BLE₀、BLE₁それぞれに対応して設けられ、センスアンフ活性化信号SAの活性化にตอบสนองして活性化され、対応のビット線対BLE₀、BLE₁上の信号電位を差動的に増幅しかつバッチするセンスアンフ(SA)4₀、4₁を含む。センスアンフ(SA)4₀、4₁の各々は、交差結合されたpチャネルMOSトランジスタおよび交差結合されたnチャネルMOSトランジスタを含む。

6

【0018】列選択回路5は、ビット線対BLE₀、BLE₁それぞれに対応して設けられ、列選択信号YSA₀、YSA₁にตอบสนองして導通し、対応のビット線対BLE₀、BLE₁を内部データバス11に接続するI/Oゲート5₀、5₁を含む。次に、この図19(A)に示す半導体記憶装置の動作を図19(B)に示す信号波形図を参照して説明する。

【0019】スタンバイ状態時においては、アレイ活性化信号ACTは、Lレベルにあり、ビット線イコライズ指示信号BLEQはHレベルにある。この状態においては、ビット線イコライズ・プリチャージ回路3₀、3₁は、活性状態にあり、ビット線対BLE₀、BLE₁をプリチャージ電圧V_{bi}レベルにプリチャージしかつイコライズする。サブワード線SWL₀(SWL₁、SWL₂、…)は、非選択状態のレベルにされ、またセンスアンフ活性化信号SAも非活性状態のレベルにある。ここで、アレイ活性化信号ACTは、メモリセル行選択指示信号が外部から与えられると内部で活性化される信号であり、標準DRAM(ダイナミック・ランダム・アクセス・メモリ)における内部ロワードレストロップ信号に相当する。

【0020】また、センスアンフ活性化信号としては、nチャネルMOSトランジスタからなるNセンスアンフ部とpチャネルMOSトランジスタで構成されるPセンスアンフ部をそれぞれ活性化する信号が存在するが、図19(B)において、1つのセンスアンフ活性化信号SAを示す。

【0021】メモリセル行を選択状態へ駆動するアレイ活性化指示信号(外部ロワードレストロップ信号またはアクティブコマンド)が与えられると、アレイ活性化指示信号ACTが活性状態となり、応じてビット線イコライズ指示信号BLEQがLレベルに立下がり、ビット線イコライズ・プリチャージ回路3₀、3₁が非活性状態とされ、ビット線対BLE₀、BLE₁のイコライズ・プリチャージ動作が完了する。この状態においては、ビット線対BLE₀、BLE₁は、プリチャージ電圧V_{bi}でフローティング状態となる。

【0022】次に、アドレス指定された行に対応して配置されたサブワード線SWLの電位が立上がり、この選択サブワード線SWLに接続されるメモリセルMCの記憶データが対応のビット線に伝達される。図19

(B)においては、代表的に、ビット線BLE₀、BLE₁を示し、またHレベルの記憶データが読出される場合のビット線の信号波形を示す。ビット線BLE₀およびBLE₁は対をなして配設されており、ビット線BLE₀およびBLE₁の一方にメモリセルデータが読出された場合、他方のビット線は、プリチャージ電圧V_{bi}の電位レベルを維持する。

【0023】ビット線BLE₀およびBLE₁の電位差が十分

大きくなると、センスアンプ活性化信号 S_A が活性化され、センスアンプ $4a \sim 4m$ が活性化され、それぞれビット線対 $BLE_{1a} \sim BLE_{1m}$ 上に読出されたメモリセルデータの差動増幅を行なう。これにより、ビット線対 $BLE_{1a} \sim BLE_{1m}$ の電位が、電源電圧 V_{cc} および接地電圧のレベルに読出データに応じて設定される。

【0024】このセンスアンプ動作完了後、図22(A)に示すワード線 $W_{1a} \sim W_{1m}$ を介して列選択信号 $Y_{1a} \sim Y_{1m}$ に従って選択列に対するデータの書込または読出が行なわれる。

【0025】

【発明が解決しようとする課題】階層ワード線構成においては、メインワード線に対して行選択信号を伝達することにより、高速でメモリマート終端部にまで行選択信号を伝達し、これにより、ワード線を高速で選択状態へ駆動することを図る。しかしながら、このワード線（メインワード線およびサブワード線両者を含む）を選択状態へ駆動する場合、ビット線イコライズ指示信号 BLE_Q が非選択状態へ駆動された後でない、サブワード線 SW_L の信号電位を立上げることができない。ビット線イコライズプリチャージ回路 $3a \sim 3m$ が活性化時に、サブワード線 SW_L の電位が上昇すると、選択メモリセルのデータが破壊される。したがって、高速でワード線を選択状態へ駆動するためには、できるだけ早く、ビット線イコライズ指示信号 BLE_Q を非選択状態へ駆動する必要がある。

【0026】また、メモリサイクルが完了し、アレイ活性化信号 A_{1a} が非活性化状態とされた場合においても、ビット線イコライズ指示信号 BLE_Q を高速で活性化状態へ移行させる必要がある。これは、ビット線イコライズに長時間を要する場合、いわゆるRASプリチャージ期間が長くなり、高速でワード線を順次選択状態へ駆動することができなくなるためである。

【0027】一方、このビット線イコライズ指示信号 BLE_Q を伝達する信号線には、ビット線対それぞれに対して設けられたビット線イコライズプリチャージ回路に含まれるトランジスタのゲートが接続されており、大きなゲート容量が接続される。したがって、この大きな寄生容量を高速で駆動するために、ビット線イコライズ指示信号 BLE_Q を伝達する信号線は、低抵抗のたとえば第1層アルミニウム配線層で形成される。これにより、RC遅延を低減し、高速でビット線イコライズプリチャージ回路を活性・非活性化させる。

【0028】図20は、従来の半導体記憶装置の配線レイアウトを概略的に示す図である。図20において、メモリマート1においては、行方向に沿ってメインワード線 MWL を構成する第1層アルミニウム配線層の配線10が行方向に延在して配置される。この第1層アルミニウム配線10は、その幅 W およびスペース（間隔） S が等しくされており、これにより、メインワード線 MWL

全てにおけるRC遅延を等しくしている。また、この導電配線10は、その配線長を最小として高速で信号を伝達するために、行方向に直線状に延在される。

【0029】センスアンプ配置領域11とメモリマート1の間に、セルプレート電圧 V_{cp} を伝達するための第1層アルミニウム配線で構成される導電配線12およびビット線イコライズ指示信号 BLE_Q を伝達する導電配線13が行方向に沿って延在して配置される。このセルプレート電圧 V_{cp} を伝達する導電配線12は、適当な領域において、下層のセルプレートノードに電気的に接続される。ビット線イコライズ指示信号 BLE_Q を伝達する導電配線13は、高速でビット線イコライズ指示信号 BLE_Q を伝達するために、できるだけその幅を広くする必要がある。

【0030】しかしながら、図20の線20A \sim 20Cに沿った断面構造を示す図21に示すように、メインワード線 MWL を構成する導電配線10、セルプレート電圧 V_{cp} を伝達する導電配線12およびビット線イコライズ指示信号 BLE_Q を伝達する導電配線13は、すべて同じ層の第1層アルミニウム配線層（1A1）に形成されており、配線間容量などを考慮して、そのスペースの最小値が決定され、ビット線イコライズ指示信号 BLE_Q を伝達する導電配線13の幅を、センスアンプ配置領域11のレイアウトに影響を及ぼすことなく広くすることができない。したがって、この導電配線13の配線幅を広くして、その抵抗を小さくした場合、センスアンプ配置領域11のレイアウトが影響を受けるため、等価的に、この導電配線13およびセンスアンプ配置領域11が占有する面積が大きくなるという問題が生じる。特に、後に詳細に説明するが、メモリマートを列方向に沿って複数の行ブロックに分割し、隣接行ブロック間にセンスアンプを配置する構成の場合、このセンスアンプ配置領域の面積が等価的に大きくなると、メモリマートの面積が増加し、チップサイズを増加させてしまうという問題が生じる。

【0031】また、センスアンプ配置領域に配置されたセンスアンプは、ビット線対それぞれに設けられており、これらのビット線対 $BLE_{1a} \sim BLE_{1m}$ を高速で駆動する必要がある。

【0032】図22は、センスアンプ回路に含まれるセンスアンプ S_A の構成の一例を示す図である。図22において、センスアンプ S_A は、ゲートおよびドレインが交差結合されるnチャネルMOSトランジスタ PQ_a および PQ_b と、pセンス活性化信号 SP の活性化（レベル）に反応して導通し、センス電源線14上の電源電圧 V_{cc} をpチャネルMOSトランジスタ PQ_a および PQ_b のソースに伝達するpチャネルMOSトランジスタ PNQ_a と、ゲートおよびドレインが交差結合されるnチャネルMOSトランジスタ NQ_a および NQ_b と、nセンス活性化信号 SN の活性化（レベル）に反応

して導通し、センス接地線15上の接地電圧 V_{SS} をMOSトランジスタ N_{QA} および N_{QB} のソースに伝達するキャパシタMOSトランジスタ N_{QA} を含む。

【0033】MOSトランジスタ P_{QA} および P_{QB} のそれぞれのドレインは、ビット線B1およびB2に接続され、MOSトランジスタ N_{QA} および N_{QB} のドレインがそれぞれ、ビット線B1およびB2に接続される。

【0034】図42に示すセンスアンプSAの構成において、MOSトランジスタ P_{QA} の活性化時、MOSトランジスタ P_{QA} および P_{QB} により、ビット線B1およびB2のうちの高電位のビット線に、センス電源線14から電流が供給され、高電位のビット線が電源電圧 V_{CC} レベルにまで駆動される。一方、MOSトランジスタ N_{QA} 、 N_{QB} により、ビット線B1およびB2の低電位のビット線が、センス接地線15上の接地電圧 V_{SS} レベルにまで駆動される。

【0035】センス電源線14およびセンス接地線15は、このセンスアンプ配置領域11(図20参照)に配置されるセンスアンプに共通に設けられる。したがって、センス電源線14およびセンス接地線15は、数多くのビット線の充放電を行なうために、安定に電流を供給する必要がある。このセンスアンプ回路の動作時、数多くのセンスアンプSAが同時に動作するため、多くのビット線充放電電流が流れる。このビット線充放電電流によりセンス電源線14およびセンス接地線15上の電圧レベルが変動した場合、高速でセンス動作を行なうことができず、データアクセスタイミングが遅れるという問題が生じる。したがって、このようなセンス動作時において安定にビット線充放電のための電流を供給するためには、センス電源線14およびセンス接地線15の抵抗はできるだけ小さくし、かつその電源電圧 V_{CC} および接地電圧 V_{SS} を安定に保持する必要がある。

【0036】しかしながら、この場合、図20のセンスアンプ配置領域11においてセンス電源線14およびセンス接地線15が配置されるが、配線幅を広くした場合、センスアンプ配置領域11の面積が増大するという問題が生じる。これは、センス電源線14およびセンス接地線15とも、図21に示す導電配線と同様第1層アルミニウム配線層に形成されるためである。センス電源線14およびセンス接地線15を第2層アルミニウム配線層に形成した場合、図19に示す列選択信号 Y_{SA} 、 Y_{SB} を伝達する列選択線が第2層アルミニウム配線層で構成されており、配線衝突が生じるため、これらのセンス電源線14およびセンス接地線15を第2層アルミニウム配線層に配置することはできない。

【0037】ビット線イコライズ指示信号の問題は、ワード線がメインワード線、サブワード線の階層ワード線構成でなく、通常のホリズリコワード線と上層の低抵抗配線とがワード線シャド領域で電氣的に接続される

ワード線打ち構造を有する場合においても同様の問題が生じる。

【0038】それゆえ、この発明の目的は、メモリマッド面積を増加させることなく配線抵抗を大幅に低減することのできる半導体記憶装置を提供することである。

【0039】この発明の他の目的は、センスアンプ領域に配置される低抵抗導電配線の抵抗をさらに低下させることのできる半導体記憶装置を提供することである。

【0040】この発明のさらに他の目的は、メモリマッド占有面積を増加させることなく、センス電源を強化することのできる半導体記憶装置を提供することである。

【0041】

【課題を解決するための手段】この発明は、要約すれば、メモリアレイ上に配設されるメモリセル選択信号を伝達する信号配線を幅寄せしてメモリアレイ上に空き領域を形成し、この空き領域に対象となる配線の配置領域を確保し、これにより、対象となる配線の幅を広くする。

【0042】すなわち、請求項1に係る半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリアレイと、このメモリアレイ上にわたって行方向に沿って延在して配置され、各々がメモリアレイのメモリセル行を選択するための信号を伝達する複数の行選択線を備える。これら複数の行選択線は、各々が行方向に延在する第1の部分とこの第1の部分に対し列の方向にずらされて配置されかつ第1の部分に接続する第2の部分とを含む幅寄せ構造を有する複数の行選択線を含む。

【0043】請求項1に係る半導体記憶装置は、さらに、この行選択線と同一層の配線で形成され、かつ行方向に延在して配置され、かつさらに幅寄せ構造の行選択線に隣接して配置され、メモリセル行選択動作に関連する信号電圧を伝達する信号配線をさらに備える。この信号配線は、幅寄せ構造の行選択線の第2の部分に隣接する領域において列方向についての幅が広くされる。

【0044】請求項2に係る半導体記憶装置は、請求項1の信号配線が幅が広くされた部分がメモリアレイ上に配置される。

【0045】請求項3に係る半導体記憶装置は、請求項1または2のメモリセルが、情報を記憶するストレージノードと、このストレージノードと対向して配置されかつ所定の電圧を受けるセルフレートノードとを有するキャパシタを含む。

【0046】請求項3の半導体記憶装置は、さらに、信号配線に関して行選択線と対向するようにかつ行方向に延在して配置され、所定電圧を伝達するセルフレート線を備える。

【0047】請求項4に係る半導体記憶装置は、請求項3の半導体記憶装置の信号配線が、幅が広くされた部分においてアレイに向かう方向に後退する後退領域を有する。セルフレート線は、この後退領域に形成される突出

1.1

部分を含む

【0048】請求項5に係る半導体記憶装置は、請求項4の装置において、突出領域のメモリアレイに近接する部分においてセルフレートノードとの電気的接続をとるためのコンタクト孔が形成される

【0049】請求項6に係る半導体記憶装置は、請求項4の突出部分が一段階的に幅が広くされる

【0050】請求項7に係る半導体記憶装置は、請求項1から6の半導体記憶装置が、さらに、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数のビット線と、信号配線上に伝達される信号にตอบสนองして活性化され、これら複数のビット線を所定のフリチャージ電圧レベルに設定するビット線電圧設定回路を備える

【0051】請求項8に係る半導体記憶装置は、請求項1の装置が、さらに、各メモリセル行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線を備える。これら複数のワード線は行選択線に対応して配置され、メモリアレイ外部で対応の行選択線と電気的に接続される。

【0052】請求項9に係る半導体記憶装置は、請求項1の半導体記憶装置が、さらに、各メモリセル行に対応して配置され、各々に対応の行のメモリセルが接続する複数のサブワード線と、メモリアレイ外部に複数のサブワード線各々に対応して配置され、対応のサブワード線がアドレス指定された行に対応して配置されるとき、少なくとも対応の行選択線上の信号にตอบสนองして対応のサブワード線を選択状態へ駆動する複数のサブワード線ドライバを備える

【0053】請求項10に係る半導体記憶装置は、行列状に配列される複数のメモリセルを有するメモリアレイと、列の方向に延在して前記メモリアレイ上にわたって配置され、各々が列選択信号を伝達する複数の列選択線を備える。複数の列選択線は、メモリアレイ上において、その位置が行方向にずらされた幅寄せ部分を有する幅寄せ構造の列選択線を含む

【0054】請求項10の半導体記憶装置は、さらに、この幅寄せ構造の列選択線に隣接して列方向に延在して配置されかつ幅寄せ部分において行方向の幅が広くされた、所定の電圧を伝達する電圧伝達線を備える

【0055】請求項11に係る半導体記憶装置は、請求項10の装置がさらに、各メモリセルの列に対応して配置され、各々が、活性化時対応の列上のデータの検知および増幅を行なう複数のセンスアンプを備える。電圧伝達線は、センスアンプへの動作電源電圧を伝達する

【0056】メモリアレイ上においてセル選択信号伝達線を幅寄せすることにより、メモリアレイ領域上に空き領域が形成され、信号・電圧配線をこの空き領域にまで拡張することにより、メモリアレイ面積を増加させることな、信号・電圧配線の幅を広げることができ

1.2

配線抵抗を低減することができ、安定かつ高速に、所望の信号・電圧を伝達することができる

【0057】

【発明の実施の形態】
【実施の形態1】
図1は、この発明の実施の形態1において用いられる半導体記憶装置のメモリアレイの構成を概略的に示す図である。図1において、メモリアレイ1は、行方向および列方向に沿って複数のメモリアレイMAに分割される。行方向に沿って整列して配置されるメモリアレイMAは、行ブロックR_B≡i (i=0~m)を構成し、列方向に整列して配置されるメモリアレイMAは、列ブロックC_B≡j (j=0~n)を構成する。メモリアレイMAそれぞれにおいてサブワード線SWLは、メモリセルの各行に対応して配置される。これらのサブワード線SWLには、対応のメモリアレイMA内の対応の行に配置されたメモリセルが接続される

【0058】行ブロックR_B≡iに含まれるメモリアレイMAに共通にメインワード線MWLが配置される。このメインワード線MWLは、対応の行ブロックR_B≡i内のメモリアレイMAそれぞれの所定数の行（サブワード線）に対応して配置される

【0059】列方向に沿って隣接するメモリアレイMAの間に、センスアンプ群SAGが配置される。センスアンプ群SAGは、一例として、交差配置型シェアードセンスアンプ構成を備え、選択メモリアレイ（選択メモリセルを含むメモリアレイ）の両側に設けられたセンスアンプ群SAGによりセンス動作が行われる。センスアンプ群SAGは、列方向に隣接するメモリアレイMAにより共有される

【0060】行方向に整列するセンスアンプ群SAGが、センスアンプ帯S_B≡k (k=0~m-1)を構成する。このセンスアンプ帯S_B≡kの領域においてセンスアンプ群SAG、ならびに後に説明するビット線イコライズ回路、およびビット線分離ゲートが設けられる。

【0061】行方向に隣接するメモリアレイMAの間には、サブワード線ドライバが配置される（図1においては明確に示さず）。列ブロックR_B≡0~DB≡nそれぞれに対応してサブワード線ドライバ配置領域SD_B≡0~SD_B≡nが配置される。サブワード線ドライバ配置領域SD_B≡0~SD_B≡nにおいてはサブワード線ドライバが配置されており、したがって、メモリセルは配置されていない

【0062】図2は、センスアンプ帯の構成を概略的に示す図である。図2においては、列方向において隣接するメモリアレイMAaおよびMAbの1列のメモリセルに対応する部分の構成を示す。図2において、メモリアレイMAaに含まれるビット線BLおよびBL'は、ビット線分離ゲート61aを介してノードNDおよびND'にそれぞれ接続される。メモリアレイMAbのビット線BLおよびBL'は、ビット線分離ゲート61bを介

13

してノードNDおよびZNDにそれぞれ接続される。ビット線分離ゲート61aおよび61bは、それぞれビット線分離指示信号BL1aおよびBL1bにตอบสนองして導通する。ビット線分離指示信号BL1aおよびBL1bは、通常、HLレベルにあり、メモリアレイMAaが選択メモリセルを含むとき、ビット線分離指示信号BL1bがLレベルとなる。逆に、メモリアレイMAbが選択メモリセルを含む場合、ビット線分離指示信号BL1aがLレベルとなる。

【0063】ノードNDおよびZNDの間に、信号線7を介して与えられるビット線イコライズ指示信号のBLEQにตอบสนองして活性化され、メモリアレイMAaおよびMAbのビット線BLおよびBLをビット線分離ゲート61aおよび61bを介して中間電圧Vb1レベルにプリチャージしかつイコライズするビット線イコライズプリチャージ回路(EP)31が設けられる。このビット線電位設定回路としてのビット線イコライズプリチャージ回路31が、中間電圧伝達線9を介して与えられる中間電圧Vb1をメモリアレイMAaおよびMAbの対応のビット線BLおよびBLに伝達する。

【0064】信号線7とビット線イコライズプリチャージ回路31の間に、メモリセルMCに含まれるキャパシタ(図2参照)へセルフレート電圧Vcpを与えるセルフレート線8が設けられる。ビット線イコライズ指示信号のBLEQを伝達する信号線7とセルフレート電圧Vcpを伝達するセルフレート線8は、同一配線層に形成され、たとえば第1層アルミニウム配線層で形成される。

【0065】ノードNDおよびZNDには、センスアンプ活性化信号SAにตอบสนองして活性化され、ノードNDおよびZNDの電位を差動増幅するセンスアンプ(SA)41が設けられる。このセンスアンプ41の構成は図2に示す構成と同様である。

【0066】ノードNDおよびZNDに対しさらに、列選択信号YSにตอบสนองして導通し、ノードNDおよびZNDをローカルデータバスLIOに接続するIOゲート51が設けられる。ローカルデータバスLIOは、メモリアレイMAaおよびMAbに共通に設けられる。このローカルデータバスLIOは、通常、メモリアレイMAaおよびMAbが配置される領域内においてのみ行方向に沿って延在して配置される。

【0067】またメモリアレイMAaにおいてはメインワード線MW1に対応してサブワード線SW1が配置され、このサブワード線SW1とビット線BLの交差部に対応してメモリセルMCが配置される。メインワード線MW1は、信号線7およびセルフレート線8と同じ配線層に形成される。

【0068】図3は、メインワード線のレイアウトを概念的に示す図である。図3において、メインワード線MW1となる導電配線は、メモリアレイMAそれぞれにお

14

いて、その行方向についての中央領域において幅寄せされる。すなわち、メインワード線MW1となる導電配線は、行方向に直線状に延在する導電配線10aと、メモリアレイMAの周辺部近傍に配設され、そのアレイ上において位置が、列方向にずらされる幅寄せ構造を有する導電配線10bを含む。幅寄せ構造とは行方向に延びる第1の部分とこの第1の部分より列方向にずらして配置される第2の部分を含む構造を称す。これらの導電配線10bは、導電配線10aのスペースおよび幅よりもそのスペースおよび幅が小さくされる。たとえば、導電配線10aは、幅およびスペースが $(0.96\mu m)$ であり、一方、導電配線10bは、幅およびスペースが $(0.91\mu m)$ に設定される。導電配線10bを設けることにより、その幅およびスペースの低減長さをdとするとともに導電配線10bの本数をnとすると、メモリアレイMAの最外側の導電配線10bは、直線状に延在して配置される場合に比べて、 $2(na+d)$ だけ列方向にずらされる。したがって、メモリアレイMAそれぞれにおいて、その幅寄せによる空き領域15が形成される。この空き領域15は、単にメモリアレイMAの上において形成されるだけであり、この空き領域15を、配線拡張領域として利用する。

【0069】この導電配線10aおよび10bは、行方向に整列するメモリアレイMAの間のサブワード線ドライバ配置されるサブワード線ドライバ帯SDB#においてサブワード線と接続される。したがって、このサブワード線ドライバ帯SDB#においては、これらの導電配線10aおよび10bは、幅寄せされず、直線状に延在し、これらの導電配線10aおよび10bの幅およびスペースは同じ(たとえば $0.96\mu m$)に設定される。それにより、サブワード線ドライバの配置に何ら悪影響を及ぼすことなく、メモリアレイMA上において導電配線10bの幅寄せにより空き領域15を形成することかできる。

【0070】列方向において隣接するメモリアレイMAの間の領域すなわちセンスアンプ帯SBA#およびSBB#においては、それぞれ、図2に示す回路構成が配置される。このセンスアンプ帯SBA#およびSBB#においては、メインワード線MW1となる導電配線10aおよび10bと同一層に、ビット線イコライズ指示信号のBLEQを伝達する信号線7、セルフレート電圧Vcpを伝達するセルフレート線8が配置される。これらのうちの対象となる配線を、その空き領域15上にわたってその線幅を拡張する。これにより、センスアンプ帯SBA#およびSBB#の列方向についての長さを増加させることとなり、必要な特性を備える配線を配置することかできる。

【0071】また、メインワード線となる導電配線10bは、その一部(第2の部分)の位置が、列方向に沿ってずらされるだけであり、全体としての長さの増加は

15

わすかであるため、RC（抵抗および容量）はほとんど増加せず、行選択信号の伝搬遅延は生じず、図2（c）に示す配線と同様高速でサブワード線を選択状態へ駆動することができる。図4は、メインワード線とサブワード線との対応関係を概略的に示す図である。図4において、このメインワード線MWL aおよびMWL bが、列方向に沿ってその位置がずらされる幅寄せ構造を有する。メインワード線MWL aに対応してサブワード線SWL a～SWL dが配置される。このメインワード線MWL aは、サブワード線ドライバSWD a～SWD dを介してサブワード線SWL a～SWL dに結合される。サブワード線ドライバSWD a～SWD dは、それぞれ行アドレスコード信号R a～R dとメインワード線MWL a上の信号電位に従って対応のサブワード線を選択状態へ駆動する。サブワード線ドライバSWD a～SWD dのピッチが、サブワード線SWL a～SWL dのピッチに対応する。メインワード線MWL bも、同様に、1本のサブワード線に対応して設けられる。したがって、これらのメインワード線MWL aおよびMWL bが、サブワード線ドライバと接続される領域SDB #1においては、サブワード線ドライバSWD（SWD a～SWD d）のピッチにそれ以外のメインワード線MWL a～MWL bのピッチを対応させる必要がある。したがって、このサブワード線ドライバ配置領域（サブワード線ドライバ帯）SDB #1においては、メインワード線MWL a～MWL bは、図3に示す導電配線10 aと同様、行方向に直線的に延在しかつそのピッチもすべからずメインワード線について同じに設定される。

【0072】一方、メモリアレイ上においては、メインワード線MWL aおよびMWL bは、メモリセルが接続されないため、サブワード線SWL a～SWL bのピッチと異ならせても何ら問題は生じない。サブワード線SWL a～SWL dは、メモリセルがそれぞれ接続されるため、サブワード線SWL a～SWL dは、メモリセル行に対応して行方向に直線的に延在して配置される。したがって、たとえばメインワード線MWL aが、図4に示すように、平面レイアウトにおいてサブワード線SWL aおよびSWL bと交差し、平面レイアウトにおいてサブワード線SWL bおよびSWL cの間に配設されるようなレイアウトが実現されても、メモリセル選択動作に対しては何ら影響は生じない。これにより、メモリセル選択動作およびメモリセル配置に悪影響を及ぼすことなく、メインワード線の幅寄せ構造として、このメインワード線の幅寄せによる空き領域15を形成することができる。

【0073】この空き領域15を利用して、図4に示すように、センスアンプ帯SB #1を行方向に走る導電配線20 aおよび20 bをメモリアレイMAのメモリセル形成領域上にまで拡張する。これにより、導電配線20 aおよび20 bは、その幅が領域15において大きくな

16

り、応じて抵抗が小さくなり、高速かつ安定に信号を伝達、電圧を伝達することができる。このセンスアンプ帯SB #1においてその一部がメモリセル形成領域上にまで拡張される配線は、メインワード線となる導電配線10 aおよび10 bと同じ配線層の配線でよい。レイアウトにおいてメモリアレイに最も近接して配置されるとともに、メインワード線と同じ配線層に形成される導電配線を、この空き領域15においてメモリアレイ上にまで延在させて幅を広くする。

【0074】以上のように、この発明の実施の形態1に従えば、メモリアレイ上においてメインワード線を幅寄せして、メモリセルアレイ上に空き領域を形成しているため、何れも、センスアンプ帯の列方向の面積を増加させることなく、必要な配線の幅を大きくして、配線抵抗を低減することができる。高速かつ安定に動作する半導体記憶装置を実現することができる。

【0075】実施の形態2 図5は、この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。図5においては、1つのメモリアレイMAに対する部分の構成を概略的に示す。図5において、センスアンプ帯SB #1において行方向に沿って、ビット線イコライズ指示信号がBLEQを伝達する導電配線27が配設される。この導電配線27は、図2に示す信号線7に対応する。

【0076】導電配線27は、メインワード線MWLを構成する導電配線10 bの幅寄せにより生じた空き領域15においてその列方向にわたって幅が拡張される。このビット線イコライズ指示信号がBLEQを伝達する導電配線27は、メモリアレイMA上に形成される部分を、含む。ビット線イコライズ、フリクション回路は、ビット線それぞれに対応して設けられており、それぞれ3個のMOSトランジスタを含む。したがって、この導電配線27には、他の信号配線（たとえばビット線分離指示信号用配線）に比べてゲート容量が多く接続され、寄生容量が大きくなる。しかしながら、この空き領域15において導電配線27の列方向についての幅を広くすることにより、ビット線イコライズ指示信号がBLEQを伝達する信号線7を構成する導電配線27の抵抗を小さくすることができ、応じて信号のRC遅延を低減し、高速にビット線イコライズ指示信号がBLEQを伝達することができる。

【0077】このビット線イコライズ指示信号がBLEQを伝達する導電配線27に隣接して、セルフプレート電圧V_{cp}を伝達するセルフプレート線Sとなる導電配線28が配置される。このセルフプレート線Sとなる導電配線28は、導電配線27に形成された後退領域30 aおよび30 bに適合するように形成される突出部分28 aおよび28 bを含む。突出部分28 aおよび28 bは、メモリアレイMAに最も近い位置においてコンタクト孔32が形成される。このコンタクト孔32は、後に説明す

17

るメモリセルキャパシタのセルフレートノードとの電気的接続をとるために設けられる。メモリセルキャパシタのセルフレートノードは、常時、電圧 V_{cp} が与えられる。このセルフレート電圧 V_{cp} は、定常的にメモリセルキャパシタのセルフレートノードへ与えられており、このセルフレートノードを一定の電圧に保持するだけでよく、セルフレート線 S （導電配線28）には、大きな電流は流れない。したがって、このセルフレート電圧 V_{cp} を伝達する導電配線28は、その線幅が比較的細くされる。メモリセルアレイMAに含まれるメモリセルキャパシタのセルフレートノードとの電気的コンタクトをとるためのコンタクト孔32を突出部分28aおよび28bにおいて形成する。これにより、メモリセルのストレージノードとセルフレートコンタクト32との距離をプロセスによって都合のよい長さに決定することができる。以下に、このストレージノードSNとセルフレートコンタクト孔32との距離について説明する。

【0078】図7は、メモリセルの構造の一例を概略的に示す図である。図7において、メモリセルは、半導体基板領域10の表面に互いに間を置いて形成される高濃度不純物領域41aおよび41bと、これらの不純物領域41aおよび41bの間のチャネル領域上に図示しないゲート絶縁膜を介して形成されるゲート電極層12を含む。不純物領域41aは、たとえばホリサイドで構成されるビット線となる導電配線43に接続される。不純物領域41bは、導電層44aに接続される。この導電層44aは、その上部が導電配線43により上にまで延在し、頂部はキャパシタ面積を大きくするために平坦領域44bが形成される。この導電層44aおよび44bがストレージノード電極層を構成する。このストレージノード電極層の平坦部44bと対向するように、セルフレート電極層45が形成される。

【0079】ゲート電極層12は、第1層ポリシリコン層で構成され、サフワード線SWLに接続される。ストレージノード電極層44aおよび44bは、第3層ポリシリコン層で構成され、平坦部44bは、ビット線となる導電配線43よりも上層に形成される。セルフレート電極層45は、たとえば第4層ポリシリコン配線層で形成され、メモリアレイ上にわたって延在して形成される。

【0080】このセルフレート電極層45上に、層間絶縁膜46を介して第1層アルミニウム配線層で形成されるメインワード線となる導電配線10が形成される。

【0081】この図7に示すように、メモリセルキャパシタは、半導体基板領域10の表面上に延在して形成され、いわゆるスタック型キャパシタ型構造を備える。このメモリセルは、3次元的な構造を有している。セルフレート電極層45が、図6に示す導電配線28とコンタクト孔32により電気的に接続される。このセンスアンプ帯の境界領域においては、第1層ポリシリコン配線に

18

よるビット線分離ゲートが形成されているだけである。したがって、このストレージノード電極層により、段差が生じる。

【0082】図8は、メモリアレイMAとセンスアンプ帯SB#との境界領域近傍の構成を概略的に示す図である。図8においては、ストレージノード電極層14上の平坦部44bおよびこの平坦部44bと対向して配置されるセルフレート電極層45を示す。セルフレート電極層45と図6に示すセルフレート線 S （導電配線28）との電気的コンタクトをとる場合、セルフレート電極層45上に層間絶縁膜46が形成される。この層間絶縁膜46を形成した後、第1層アルミニウム配線層とセルフレート電極層45とのコンタクトをとるためのコンタクト孔が形成される。このとき、また同時に、第1層アルミニウム配線層から半導体基板領域10の表面に形成された活性領域（不純物領域）に対する電気的コンタクトをとるためのコンタクト孔が形成される。

【0083】ストレージノード電極層44bが形成されるため、この層間絶縁膜46には、メモリアレイMAとセンスアンプ帯SB#の境界領域において段差が生じる（センスアンプ帯SB#のこの領域においては、ビット線分離トランジスタが配置されているだけである）。層間絶縁膜46の膜厚については、セルフレート電極層45上に堆積される厚さが、活性領域49上に形成される層間絶縁膜の厚さとほぼ同程度である。したがって、このメモリアレイMAの境界から距離d4にある領域においてコンタクト孔H4を形成した場合、センスアンプ帯SB#における層間絶縁膜46の平坦領域において形成されたコンタクト孔H4とほぼ同じ深さとなる。しかしながら、このメモリアレイMAから距離d4の位置においてコンタクト孔を形成する場合、そのコンタクト孔H4は、その部分において層間絶縁膜46の膜厚が薄いため、セルフレート電極層45を貫通する。下層にビット線が配置されている場合、このビット線と上層に形成される第1層アルミニウム配線層（導電配線）とのショートが生じる。

【0084】そこで、図6に示すように、セルフレート電極層45に対するコンタクト孔32は、メモリアレイMAにてきただけ近い位置に形成する。このとき、セルフレート電極層45はある範囲にわたって延在する。図8に示す距離d4にはある程度の許容値の範囲が存在する。活性領域49に対するコンタクト孔H4の深さと同程度となる位置にコンタクト孔H4が形成されればよい。したがって、この図8に示すコンタクト孔32の形成領域を、加工しやすい。他のコンタクト孔と同工程で作成することができるなどのプロセスによって都合のよい位置に配置することができ、また、セルフレートコンタクト32の配置位置の自由度が向上しレイアウトが容易となる。また、ストレージノード電極44bからセルフレートコンタクト32までの距離d4を、

19

この引き領域に隣接する領域において適当な値に設定することができ、したがって、その突出領域15に隣接する領域（幅寄せ領域と称す）においてビット線イコライズ指示信号BLEQを伝達する導電配線27に後退領域30aおよび30bを設け、この領域30aおよび30bに備合するようにセルフレート電圧Vcpを伝達する導電配線28に突出部分28aおよび28bを設ける。これにより、このセンスアンプ帯SB#における活性領域49のコンタクト孔CHとセルフレートコンタクト孔32、CHAxを同時に形成することが可能となり、製造工程数を増加させることがない。セルフレートコンタクトを、図8のコンタクト孔CHににする必要がある場合、このセルフレートコンタクトをとるためのコンタクト孔とセンスアンプ帯SB#における他の部分におけるコンタクト孔CHを別工程で形成する必要がある。

【0085】ここで、図4bにおいて、このビット線イコライズ信号BLEQを伝達する導電配線27の後退領域30により線幅は、少し狭くされる。しかしながら、この後退領域30aおよび30bにおける幅は、元のたとえばサブワード線ドライバ領域における線幅と同程度以上であり、その後退領域30aおよび30bを設けることによる導電配線27の抵抗の増加は生じない。また、二つの後退領域30aおよび30bを設けることにより、セルフレートコンタクトに必要な領域においてのみ後退領域が設けられており、この後退領域30aおよび30bの間の領域においてはこの導電配線27の線幅は大きくされており、線幅の拡大による効果が損なわれるのが防止される。この、セルフレート電圧Vcpを伝達する導電配線28において二つの突出部分28aおよび28bが設けられているのは、多くのコンタクト孔32により、接触抵抗の増大を行なうことなく低抵抗でかつ安定にセルフレート電圧Vcpをセルフレート電極層に伝達するためである。

【0086】また、図4bに示す配置において、導電配線27が二つの後退領域30aおよび30bの間でセンスアンプ帯SB#方向に延在しているのは、セルフレートノードに対するコンタクト孔32とビット線イコライズ用パルスと導電配線27とのコンタクトをとるためのコンタクト孔27aとの距離を長くして、レイアウト時にコンタクト孔のマージンを大きくし、また下層のセルフレート層と、コンタクト孔27aとの接触を確実に防止するためである。また、コンタクト孔27aは各ビット線対毎に設けられてもよく、所定数のビット線対毎に設けられてもよい。

【0087】図4bにおいて、セルフレート電圧Vcpを伝達する導電配線28の突出部分28aおよび28bにおいては、その線幅は、部分35aにおいて段階的に広げられている。この突出部分28aおよび28bにおける部分35aにより、写真製版時におけるハレーションによ

20

り線幅の細くなるのを防止することを図る。以下、このハレーションの問題について説明する。

【0088】図9は、この発明の実施の形態2の半導体記憶装置の製造工程における断面構造を概略的に示す図である。図9において、層間絶縁膜46の上に第1層アルミニウム配線層50が形成される。この第1層アルミニウム配線層50の上に、レジスト52が形成される。このレジストに対し、所定のパターン形状を有するマスク54を介して光が照射される。レジスト52は、露光部分が現像液に溶解するポジ型レジストである。図9に示すように、突出部分28aおよび28bの方向についての端部においては、列方向に沿って導電配線27および28が対向してかつ延在して配置される。したがって、この段差部分の領域においては、図9に示すようにマスク54の間が広い範囲にわたって空隙状態となり、この段差部分においてマスク54を介して光が入射する。平坦部においては、光は垂直に入射し、乱反射は生じない。しかしながら、このマスク54を介して印加される光は、段差部において乱反射し、レジスト52のセルフレート電圧Vcpを伝達する導電配線28に対応する部分52aが、反射光により、必要以上に露光される。したがって、このレジスト52の領域52aの現像後の列方向における幅が、マスク54により設定される幅よりも小さくなる。第1層アルミニウム配線層50のパターニングは、この現像後のレジストをマスクとしてエッチングすることにより行なわれる。

【0089】したがって、図10に示すように、セルフレート電圧Vcpを伝達する導電配線28上のレジストの領域52aが、破線で示す実際のマスクパターンよりも過剰に除去された場合、この導電配線28の線幅が細くなる。他の平坦領域においては、レジスト52は、マスクパターンに従ってパターニングされており、第1層アルミニウム配線層50は、正常にパターニングされる。したがって、このパターニング時の露光異常により線幅が細くなるのを防止するために、突出領域28aおよび28bの部分35aを段階的にその幅を広くする。これにより、たとえ露光時においてハレーションにより露光異常が生じ、線幅が細くなっても、線幅は広に設定されており、この部分における断線または細線化による抵抗増大が生じるのを防止することができる。

【0090】導電配線28の他の線幅の細い部分においては、その近傍にまで、ビット線イコライズ指示信号BLEQを伝達する導電配線28が配置されており、露光光の通過領域は十分狭くされており、またその配置領域は、ほぼ平坦であり露光光のハレーションによるパターニング異常は生じず、マスクパターンと通りのパターニングを行なうことができる。

【0091】図11(A)は、図4bに示す線6A-6Aに沿った断面構造を概略的に示す図である。図11(A)において、メインワード線MWLとなる導電配線

21

10aおよび10bそれぞれに対し、4本のサブワード線SWLが配置される。これらのサブワード線SWLは、等間隔で配置される。ビット線イコライズ指示信号がBLEQを伝達する導電配線27は、メモリアレイ領域とセンスアンプ帯の領域に配置されており、その段差部を覆うように配置される。セルフレート電圧V_{rp}を伝達する導電配線28は、このセンスアンプ帯における平坦部に形成される。この領域においては、導電配線10aおよび10bは、ほぼ同じ幅およびスペースで配置されている。

【0092】図11(B)は、図6に示す線6B〜6Fに沿った断面構造を概略的に示す図である。図11(B)において、メモリアレイ上の導電配線10aおよび10bは、幅寄せされており、各導電配線10aおよび10bの幅およびスペースが小さくされている。しかしながら、サブワード線SWLは、何れもその幅およびスペースは変更されていない。この領域においては、ビット線イコライズ指示信号がBLEQを伝達する導電配線27が、メモリアレイ上の部分にまで拡張して配置されている。セルフレート電圧V_{rp}を伝達する導電配線27は、センスアンプ帯における平坦部分に配置される。

【0093】図11(C)は、図6に示す線6C〜6Eに沿った断面構造を概略的に示す図である。この図11(C)に示す配置においても、導電配線10aおよび10bは、幅寄せ構造を有しており、その幅およびスペースがともに小さくされている。ビット線イコライズ指示信号がBLEQを伝達する導電配線27は、後退領域30aを有しており、ほぼメモリアレイおよびサブワード線SWLと平面的に見て重なり合うように配置される。

一方、段差部にて、セルフレート電圧V_{rp}を伝達する導電配線28が拡張される。この段差部において適当な位置に、セルフレートコンタクトのためのコンタクト孔32が形成される。この領域において、導電配線28が、図示しないセルフレート電極層と電気的に接続される。コンタクト孔32は、メモリアレイ形成領域に十分近い位置に配置されており、セルフレート電極層をこのコンタクト孔32が突き抜けるのは確実に防止されている。

【0094】図6に示す配置においては、導電配線27は、メモリアレイMAとセンスアンプ帯SB#との間でコンタクト孔27aを介してビット線イコライズプリチャージストラップスとコンタクトされる。しかしながら、ワード線梳打り構造の様に、信号がBLEQを伝達する配線を2層構造とし、センスアンプ帯とワード線サブコーダ帯との交差部で導電配線27と下層信号配線（ストラップスターゲット）とのコンタクトがとられて、この図6に示すメモリアレイMAとセンスアンプ帯SB#との間の領域ではコンタクト孔27aが設けられない構成であってもよい。この構成では、突出領域28aおよび28bは連結されて1つの突出領域とされてもよい。

22

また突出領域28aおよび28bは設けられず、セルフレート導電配線28は一定の幅で延在する様に配置されてもよい。

【0095】以上のように、この発明の実施の形態2に従えば、ビット線イコライズ指示信号を伝達する導電配線は、メインワード線の幅寄せ領域においてメモリアレイ上に拡張するように構成しているため、このビット線イコライズ指示信号を高速度で伝達することができ、また、セルフレート電圧を伝達する導電配線を、このビット線イコライズ指示信号を伝達する導電配線に隣接して配置しているため必要な領域（セルフレートコンタクト領域）において線幅を広くしてセルフレート電極ノードとコンタクトをとることができる。このセルフレートコンタクト領域において、ビット線イコライズ指示信号を伝達する導電配線をほぼメモリアレイ上に配置させ、かつこのセルフレートコンタクト領域を十分メモリアレイに近づけるように構成しているため、正確に、他配線のためのコンタクトと同じ工程でセルフレートコンタクト用のコンタクト孔を形成することができ、製造工程を増加させることなく確実にセルフレートコンタクトを形成することができる。

【0096】また、セルフレート電圧を伝達する導電配線を、その拡張領域において段階的に幅を広くしているため、パターニング時において、露光光のハレーションによる異常露光が生じて、抵抗の増加または断線などを生じることがなく、安定にセルフレート電圧V_{rp}を伝達することができる。

【0097】〔実施の形態3〕図12は、この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図12においては、1つの列フロッコCB#1に関連する部分の構成を示す。図12において、列フロッコCB#1は、列方向に整列して配置されるメモリアレイMA0〜MA_mを含む、隣接するメモリアレイの間に、センスアンプ帯SB#1〜DB#_mが配置され、メモリアレイMA0およびMA_mの外側に、それぞれセンスアンプ帯SB#0およびSB#_m+1が配置される。

【0098】この列フロッコCB#1において、メモリアレイMA0〜MA_mに共通に列選択線CSL0〜CSL_rが配設される。これらの列選択線CSL0〜CSL_rは、メモリアレイMA0〜MA_mの領域上において幅寄せされる。図12においては、列選択線CSL0およびCSL1ならびに列選択線CSL_rおよびCSL_rが、そのメモリアレイMA0〜MA_m上においてその一部が、メモリアレイの中央部（行方向についての中央部）方向へずらされる構成が一例として示される。センスアンプ帯SB#1〜SB#_m+1それぞれにおいては、10ケー1が設けられている。したがって、これらのセンスアンプ帯SB#1〜SB#_m+1においては、列選択

2.3

線にSLO～CSLは、図示しないコラムデコーダの出力ヒッチと同じヒッチに配置される。

【0109】この列ブロックCB#1の行方向についての外側に、電源電圧VccまたはVssを伝達する電源電圧線60および62が配置される。これらの電源電圧線60および62は、メモリアレイMA0～MAm上の領域において、列選択線が幅寄せされて空きが生じた領域においてその幅が大きくされる。したがって、これらの電源電圧線60および62は、メモリアレイMA0～MAm上に拡張される部分を有する。電源電圧線60および62は、センスアンプ帯SB#0～SB#m-1それぞれにおいて、センスアンプ電源電圧を伝達するセンス電源線に接続される。

【0100】図13は、センス電源線の配置の一例を示す図である。図13においては、2つの行ブロックRB#1およびRB#1の部分の構成を概略的に示す。行ブロックRB#1およびRB#1の間にセンスアンプ帯SB#1が配置され、このセンスアンプ帯SB#1においてメモリアレイMAに対応してセンスアンプ群SAGが配置される。また、このセンスアンプ帯SB#1において行方向にそってセンスアンプ群SAGに共通に電源電圧Vccを伝達するセンス電源線64aと、行方向に沿って延在してセンスアンプ群SAGに接地電圧GNDを伝達するセンス接地線66aが配置される。行ブロックRB#1と図示しない行ブロックの間に設けられるセンスアンプ帯SB#kにおいても、行方向に沿ってセンスアンプ群SAGに共通に電源電圧Vccを伝達するセンス電源線64bが配置される。

【0101】列方向において、サブワード線ドライバ配置領域SDB#0～SDB#n-1それぞれにおいて、列方向に沿って延在する電源電圧線60a～60nおよび電源電圧線62a～62nがそれぞれ配置される。サブワード線ドライバ配置領域SDB#0においては、接地電圧GNDを伝達する電源電圧線60aが配置され、センスアンプ帯SB#1においてこの電源電圧線60aとセンス接地線66aとがコンタクト孔67を介して電気的に接続される。サブワード線ドライバ配置領域SDB#1においては、互いに平行に電源電圧Vccを伝達する電源電圧線62aおよび60bが配置される。これらの電源電圧線62aおよび60bは、センスアンプ帯SB#1およびSB#kにおいてそれぞれセンス電源線64aおよび64bとコンタクト孔67を介して電気的に接続される。

【0102】サブワード線ドライバ配置領域SDB#nにおいては、接地電圧GNDを伝達する電源電圧線62nが配置される。この電源電圧線62nは、センスアンプ帯SB#nにおいてコンタクト孔67を介してセンス接地線66nと電気的に接続される。サブワード線ドライバ配置領域SDB#nにおいては、電源電圧Vccを伝達する電源電圧線60nが配置される。この電源電圧線60nは、コンタクト孔67を介してセンスアンプ帯SB#nにおいてセンス接地線66nと電気的に接続される。

2.4

0nは、コンタクト孔67を介してセンスアンプ帯SB#nおよびSB#kそれぞれにおいてセンス電源線64aおよび64bと電気的に接続される。サブワード線ドライバ配置領域SDB#n+1においては接地電圧GNDを伝達する電源電圧線62nが配置される。この電源電圧線62nは、コンタクト孔67を介してセンスアンプ帯SB#nにおいてセンス接地線66nと電気的に接続される。

【0103】これらの電源電圧線60a～60nおよび62a～62nは、それぞれ、メモリアレイMA領域上にまで拡張された部分を有しており、その幅が広くされている。センスアンプ群SAGに平行に配設されるセンス電源線64aおよび64bおよび接地線66aが、その線幅が比較的狭くされている場合においても、これらの電源電圧線60a～60nおよび62a～62nと電気的に接続されることにより、これらのセンス電源線64aおよび64bならびにセンス接地線66aの抵抗が等価的に小さくされ、安定にセンスアンプ群SAGに対しセンスアンプの動作電源電圧VccおよびGNDを伝達することができる。特に、センス電源線64aおよび64bならびにセンス接地線66aは、2メモリアレイごとに、接地電圧GNDおよび電源電圧Vccを受けており、これらのセンス電源線64aおよび64bならびにセンス接地線66aの配線抵抗による電圧変動は抑制され、各センスアンプに同じ大きさの電圧を伝達することができ、センス動作時においても、センス電流によるセンス電源電圧の変動は少なく、安定にセンス動作を行なうことができる。

【0104】なお、この図13に示す配置において、1つのメモリアレイMAの両側面、接地電圧GNDを伝達する電源電圧線60（60a～60n）と他方側面に電源電圧Vccを伝達する電源電圧線62（62a～62n）が配置されている。しかしながら、この1つのサブワード線ドライバ配置領域SDB#1において接地電圧GNDと電源電圧Vccを伝達する電源電圧線がともに配置されてもよい。

【0105】図13に示す構成の場合、センス電源線64aおよびセンス接地線66aは、適当な数のメモリアレイ単位で切り離されてもよい。すなわち所定数のセンスアンプ群SAGごとにセンス電源線が配置されてもよい。この場合においても、列方向に沿って延在して配置される電源電圧線により、安定に電源電圧Vccおよび接地電圧GNDが伝達されるため、安定にセンス動作を行なうことができる。

【0106】また、これらの電源電圧線60a～60nおよび62a～62nは第2層配線層に形成されており、メモリアレイMAの最上層の配線層であるメインワード線は第1層アルミニウム配線層であり、それより上層に形成されており、それらのメインワード線MWLに対し何ら悪影響を及ぼすことなくメモリアレイMA上にお

25

って延在して電源電圧線を配置することができる

【0107】さらに、これらの電源電圧線601〜60nおよび62a〜62nは、メモリマツトを取囲むように配置される電源電圧線および接地電圧線に接続され、いわゆる「メッシュ状」電源配置」が構成される。本発明は、この「メッシュ状」に電源電圧線をアレ
イメモリマツト上におたって延在して配置されるのを特徴とするのではなく、列選択線を幅寄せして、メモリア
レイ上に空き領域を形成し、その領域に電源電圧線を拡張
させることにより、メモリマツト上に延在し配置される
電源電圧線の抵抗を低下することを特徴とする。

【0108】なお、この図12および図13に示す構成
においては、列選択線がメモリアレイMAの行方向に
ついての中央領域側に幅寄せされて、電源電圧線がメモ
リアレイ上に拡張されている。しかしながら、図14に
示すように、この列選択線の幅寄せ方向をサブワード線
ドライバ配置領域方向とし、メモリアレイMA上に電源
電圧線を配置し、メモリアレイMA上領域においてこの
電源電圧線の幅が広くされる構成が用いられてもよい。

【0109】なお、図11においては、列選択線CS1、
の間に電源電圧線68が配置される。通常、列選択線CS1は、
複数のビット線対ごとに1つ配置されることが多く、
十分余裕を持って、これらの列選択線CS1の間に
電源電圧線68を配置することができる。

【0110】以上のように、この発明の実施の形態3に
従えば、列選択線を幅寄せし、メモリアレイ上に空き
領域を形成し、この空き領域において電源電圧線の幅を
拡張しているため、電源電圧線を低抵抗とすることがで
き、安定に電源電圧をセンスアンプへ伝達することがで
きる。

【0111】〔実施の形態1〕図15は、この発明の実
施の形態1に従う半導体記憶装置の要部の構成を概略的
に示す図である。図15においては、半導体基板領域7
0上に、第1層ポリシリコン層で形成されるゲート電極
層72が配置される。このゲート電極層72は、ワード
線W1として用いられ、このゲート電極層72には、行
方向に整列して配置されるメモリセルのアクセスラン
グスタが接続される。このゲート電極層72上にこのゲ
ート電極層72と平行に低抵抗の第1層アルミニウム配
線層で形成される低抵抗導電層74が形成される。この
低抵抗導電層74とゲート電極層72は、所定の間隔
で、低抵抗の導電材料76により電気的に接続される。
これにより、ゲート電極層72の抵抗を等価的に低減す
る。この導電層74とゲート電極層72とは電気的に接
続される領域は、通常ワード線シャント領域と呼ばれ
る。このワード線シャント領域においてはメモリセルは
配置されない。

【0112】図16は、このワード線シャント領域を備
えるメモリマツトの構成を概略的に示す図である。図1
6において、行方向に整列して配置されるメモリアレイ

26

MAを示す。列方向においてもこのメモリアレイの配置
が繰返される。行方向に整列して配置されるメモリア
レイMAに共通に行方向に沿ってワード線78が配置され
る。このワード線78は、図15に示すゲート電極層7
2と低抵抗の導電層74を含む。これらは、行方向にお
いて隣接するメモリアレイの間の領域すなわち、ワード
線シャント領域79においてコンタクト孔77を介して
電気的に接続される。このワード線シャント領域79に
おいてはメモリセルは存在しない。この低抵抗導電層7
4と、ゲート電極層72とはワード線シャント領域79
においてコンタクト孔77を介して電気的に接続される
だけであり、ワード線シャント領域において平面レイ
アウトにおいてそれらの位置が重なりあっていればよい。
したがって、この低抵抗導電層74を、メモリアレイM
A上において破線で示すように、列方向に下層のゲート
電極層のレイアウトに影響を及ぼすことなくずらせるこ
とができる。したがって、このようなワード線シャント
構造を有するワード線においても、先の実施の形態1か
ら3の構成と同様の幅寄せ構造を実現して、所望の信号
電源電圧線の幅を拡張することができる。すなわち、
実施の形態1から3において、サブワード線デコーダ配
置領域をワード線シャント領域に置換すれば同様の効果
を得ることができる。

【0113】以上のように、この発明の実施の形態1に
従えば、ワード線打ち構造のワード線においても、ワ
ード線抵抗低下用の低抵抗導電層を幅寄せ構造としてい
るため、容易に必要な配線の幅を拡張することができる。

【0114】〔他の適用例〕上述の説明において、メイ
ンワード線およびサブワード線の階層ワード線構成にお
いてメインワード線は選択時レベルへ駆動されている。
しかしながら、このサブワード線ドライバの構成を
変更することにより、メインワード線は、選択時レベ
ルへ駆動される構成が用いられてもよい。また、上述の
実施の形態1においてはシェアードセンスアンプ構成の
センスアンプ群が示されているが、これは、交互配置型
シェアードセンスアンプ構成であってもよく、単純なシ
ェアードセンスアンプ構成であってもよい。また、セン
スアンプ帯の列方向についての一方側においてビット線
イコライズ指示信号を伝達する信号配線の幅が広くさ
れ、他方側において、センス電源電圧を伝達する配線の
幅が広くされる構成が用いられてもよい。この場合、図
13に示す電源電圧線が電源電圧Vcc、または接地電圧
GNDの一方のみを伝達するとともに、センスアンプ帯
において、メインワード線、低抵抗導電層の幅寄せによ
り幅広くされたセンス電源線をとも異なるセンス電源線へ
センス電源電圧をセンス電源電圧線から伝達する構成が
用いられてもよい。

【0115】

【発明の効果】以上のように、この発明に従えば、列選

27

択線または行選択線を幅寄せ構造としてメモリアレイに空き領域を形成しているため、メモリアレイ面積またはセンスアンプ帯面積を増加させることなく、必要な配線の幅を大きくすることができ、安定に所望の信号電圧を高速かつ安定に伝達することができる。

【0116】すなわち、請求項1に係る発明に従えば、メモリアルセルの行選択線を幅寄せしてメモリアレイ上に空き領域を形成し、この領域にメモリアルセル行選択動作に関連する信号電圧を伝達する信号配線を拡張して配置しているため、アレイ面積を増加させることなく信号配線幅を広くして、信号配線の抵抗を低くし、これにより、高速かつ安定に信号電圧を伝達することのできる信号配線を実現することができる。

【0117】請求項2に係る発明に従えば、信号配線が、メモリアレイ上において配置されているため、容易に、所望の幅を有する信号配線をアレイの面積を増加させることなく実現することのできる。

【0118】請求項3に係る発明に従えば、メモリアルセルまたはセルフレードノードに所定の電圧を伝達する電圧線を、信号配線に関して行選択線と対向するように配置しているため、セルフレードコンタクト位置を、プロセスによって都合の位置に配置することができる。

【0119】請求項4に係る発明に従えば、信号配線は、その幅が広くされ部分においてアレイ方向に向かって後退する領域を形成し、この領域にセルフレード線を出させているため、プロセスによって都合の位置にセルフレードコンタクトを設けることができる。

【0120】請求項5に係る発明に従えば、この突出領域のメモリアレイに近接する部分にセルフレードコンタクトが設けられるため、セルフレードコンタクトがセルフレード電極層を突き抜けるのを防止することができる。

【0121】請求項6に係る発明に従えば、この突出部分は段階的に幅が広くされているため、パターンニング時における露光光のハレーションによるパターンニング異常により、配線幅が狭くなり、高抵抗化または配線が断線するのを防止することができる。

【0122】請求項7に係る発明に従えば、信号配線上に、ビット線イコライズ指示信号を伝達するように構成しているため、高速でビット線イコライズ指示信号を伝達することができ、速いタイミングでメモリアルセル行選択動作を開始することができる。

【0123】請求項8に係る発明に従えば、ワード線は、ワード線シャント構造を有しており、この領域においては、行選択線は幅寄せされていないため、ワード線抵抗打ち部に対する何ら悪影響を及ぼすことなく、行選択線の幅寄せを行なうことができる。

【0124】請求項9に係る発明に従えば、ワード線を階層構造としており、メモリアレイ外部にワード線ドライバが設けられており、この領域においては、行選択線

28

の幅寄せが行なわれていないため、各行選択線を対応のサブワード線ドライバに接続することかでき、サブワード線ドライバに対するピッチに対する悪影響を及ぼすことなく行選択線の幅寄せを行なうことができる。

【0125】請求項10に係る発明に従えば、列選択線を幅寄せして、空いた領域に電圧伝達線の幅を拡張して配置するように構成しているため、アレイ面積を増加させることなく、電源電圧線を低抵抗化して安定に電源電圧を伝達することができる。

【0126】請求項11に係る発明に従えば、この電源電圧線にセンスアンプ動作電源電圧を伝達しているため、センスアンプの電源強化を実現することかでき、正確にセンス動作を行なうことができる。

【図面の簡単な説明】

【図1】 この発明に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図2】 図1に示すメモリアレイのセンスアンプ帯の構成を概略的に示す図である。

【図3】 この発明の実施の形態1に従うメインワード線の配置を概略的に示す図である。

【図4】 図3に示すメインワード線のレイアウトにおけるサブワード線とメインワード線との対応について概略的に示す図である。

【図5】 図3に示すアレイ部のセンスアンプ帯における配線のレイアウトを概略的に示す図である。

【図6】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図7】 この発明の実施の形態2において用いられるメモリアルセルの断面構造を概略的に示す図である。

【図8】 図6に示すセルフレードコンタクトの位置の効果を説明するための図である。

【図9】 図6におけるセルフレード線の形状の効果を説明するための図である。

【図10】 図6に示すセルフレード線の形状の作用効果を説明するための図である。

【図11】 (A)は、図6に示す線6A-6Aに沿った断面構造を示し、(B)は、図6に示す線6B-6Bに沿った断面構造を示し、(C)は、図6に示す線6C-6Cに沿った断面構造を概略的に示す。

【図12】 この発明の実施の形態3に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図13】 この発明の実施の形態3におけるメモリアレイ部の電源線のレイアウトをより具体的に示す図である。

【図14】 この発明の実施の形態3の変更例の構成を概略的に示す図である。

【図15】 この発明の実施の形態4に従う半導体記憶装置のワード線構造を概略的に示す図である。

【図16】 この発明の実施の形態4におけるワード線構造の平面レイアウトを概略的に示す図である。

29

30

【図17】 従来の半導体記憶装置の全体の構成を概略的に示す図である

【図18】 【図17】に示す半導体記憶装置のサブワード線ドライバの構成の一例を概略的に示す図である

【図19】 (A)は、【図17】に示す半導体記憶装置のアレイ部の構成を具体的に示し、(B)は、(A)に示す構成の動作を示す信号波形図である

【図20】 従来の半導体記憶装置における平面レイアウトを概略的に示す図である

【図21】 【図20】の線20A、20Aに沿った断面構造を概略的に示す図である

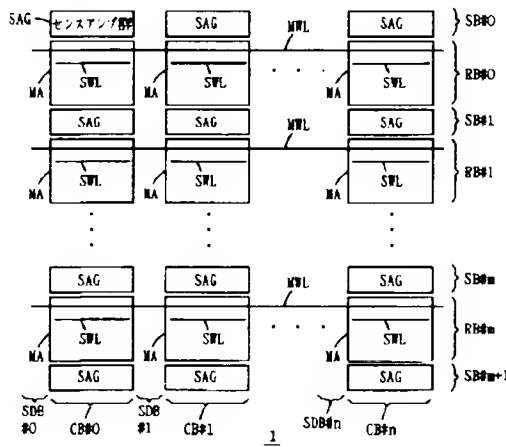
【図22】 従来の半導体記憶装置のセンスアンプの構成を概略的に示す図である

【符号の説明】

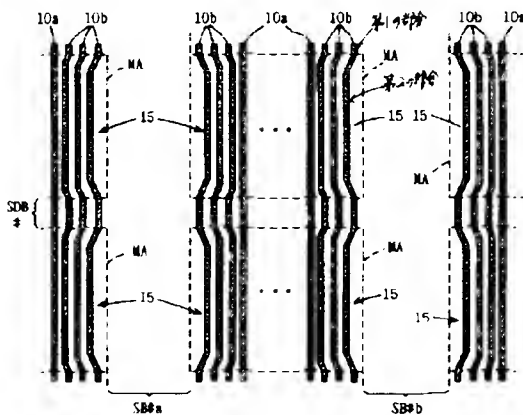
MA メモリアレイ、MWL メインワード線、SWL サブワード線、31ビット線イコライズ、フリチャ-

シ回路、4 センスアンプ、1 メモリマト、10a、10b 導電配線、SWLa~SWLd サブワード線、MWLa、MWLb メインワード線、15 空き領域(植寄せ領域)、20a、20b 導電配線、27 ビット線イコライズ指示信号伝達用導電配線、27a コンタクト孔、28セルフレート線用導電配線、28a、28b 突出部分、30、30a、30b 後退領域、32セルフレートコンタクト孔、35 幅広部分、44a、44b ストレージノード電極層、45セルフレート電極層、60、62 電源電圧線、CSL0~CSLr 列選択線、60a~60u、62a~62u 電源電圧線、64a、64b センス電源線、66a センス接地線、67 コンタクト孔、68 電源電圧線、CSI 列選択線、72 ゲート電極層、74 低抵抗導電層、76 杭打ち用導電材料、77 コンタクト孔

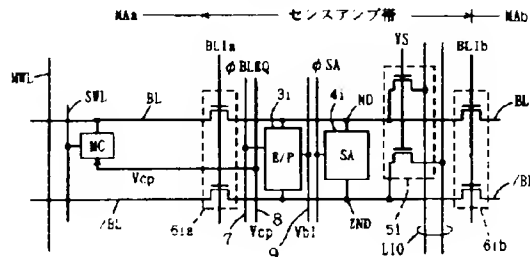
【図1】



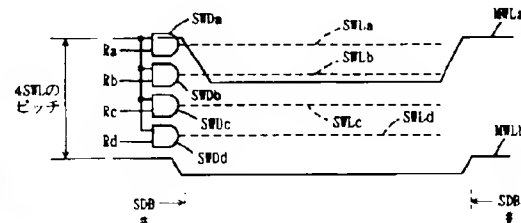
【図3】



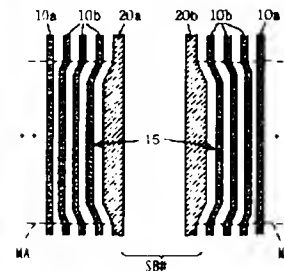
【図2】



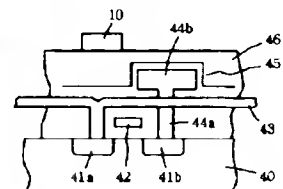
【図4】



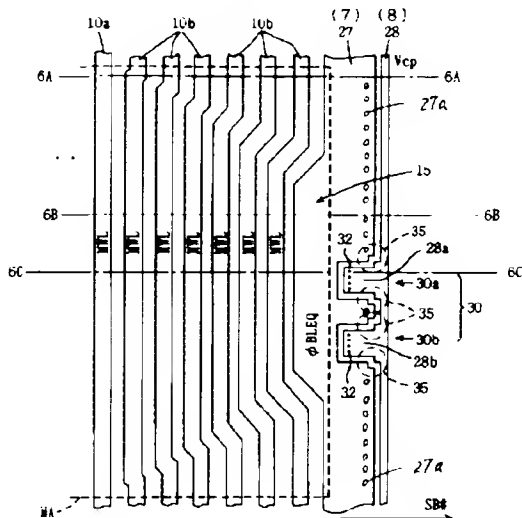
【図5】



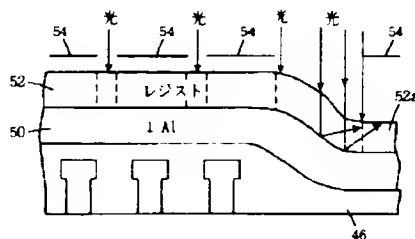
【図7】



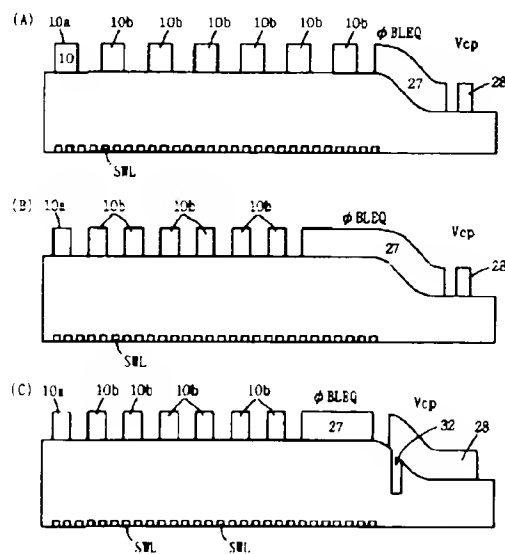
【図6】



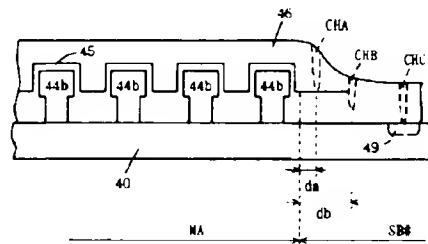
【図9】



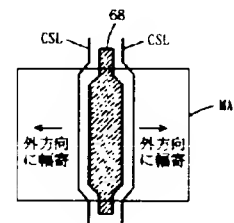
【図11】



【図8】



【図14】



【図19】

